

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-332296
(43)Date of publication of application : 30.11.2000

(51)Int.Cl. H01L 33/00
C30B 29/48
H01L 21/363

(21) Application number : 11-142059

(71)Applicant : STANLEY ELECTRIC CO LTD
YAO TAKAFUMI

(22) Date of filing : 21.05.1999

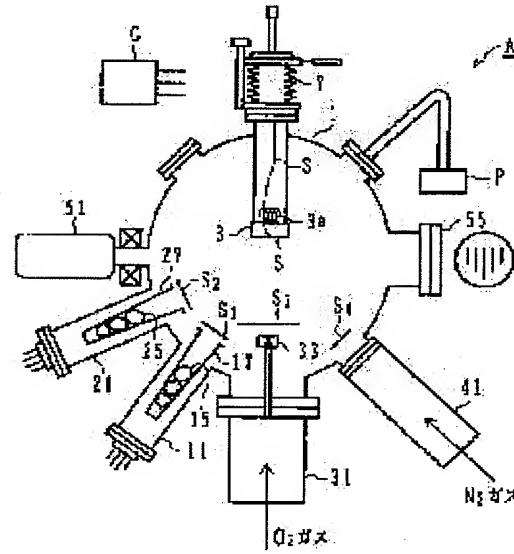
(72)Inventor : SANO MICHIIRO
YAO TAKAFUMI

(54) P-TYPE II-VI COMPOUND SEMICONDUCTOR CRYSTAL, ITS GROWING METHOD, AND SEMICONDUCTOR DEVICE USING THE SAME

(57) Abstract:

PROBLEM TO BE SOLVED: To grow p-type ZnO of superior crystallinity and small electric resistance by a method wherein, on a substrate, a ZnO layer not doped with impurity up to a desirable concentration and a ZnTe layer doped with N at a desirable concentration or over as a p-type impurity are alternately laminated in a plurality of layers.

SOLUTION: A crystal growing MBE device A using a molecular beam epitaxy method of a II-VI compound semiconductor contains a chamber 1 for a crystal growing, and a vacuous pump P for holding the chamber 1 in a super-high vacuous state. In the chamber 1, there are provided a substrate holder 3 for holding a substrate S as an underlayer for the crystal growing, and a heater 3a for heating the substrate holder 3. The chamber 1 contains a RHEED gun 51 and a RHEED screen 55 which are provided for monitoring a grown crystal layer. By use of the RHEED gun 51 and the RHEED screen 55, the circumstances of the crystal growing within the MBE device A are monitored, while the growth can be made.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-332296
(P2000-332296A)

(43) 公開日 平成12年11月30日 (2000.11.30)

(51) Int.Cl.⁷
H 01 L 33/00
C 30 B 29/48
H 01 L 21/363

識別記号

F I
H 01 L 33/00
C 30 B 29/48
H 01 L 21/363

テマコード(参考)
D 4 G 0 7 7
5 F 0 4 1
5 F 1 0 3

審査請求 有 請求項の数10 O L (全 8 頁)

(21) 出願番号 特願平11-142059

(22) 出願日 平成11年5月21日 (1999.5.21)

(71) 出願人 000002303
スタンレー電気株式会社
東京都目黒区中目黒2丁目9番13号
(71) 出願人 594020031
八百 隆文
宮城県仙台市青葉区片平二丁目1番1号
東北大学金属材料研究所内
(72) 発明者 佐野 道宏
神奈川県横浜市青葉区荏田西1-3-1
スタンレー電気株式会社技術研究所内
(74) 代理人 100091340
弁理士 高橋 敬四郎 (外1名)

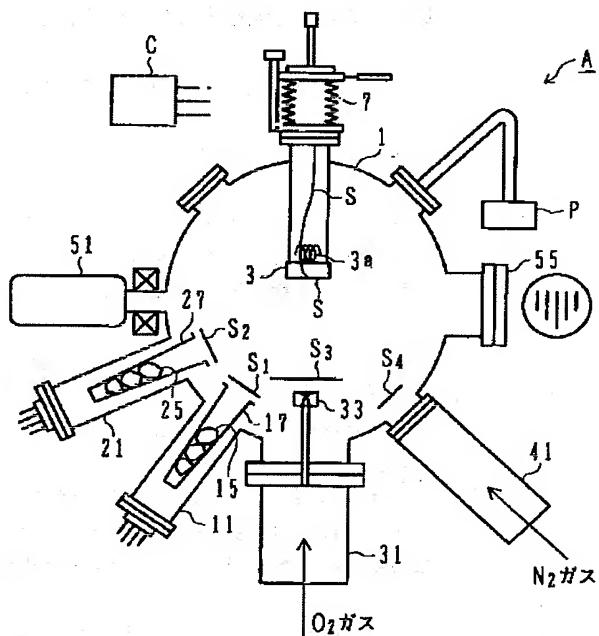
最終頁に続く

(54) 【発明の名称】 p型II-VI族化合物半導体結晶、その成長方法及びそれを用いた半導体装置

(57) 【要約】

【課題】 p型のII-VI族化合物半導体結晶の成長方法を提供する。

【解決手段】 ZnO基板100上に、所望濃度までは不純物ドーピングされていないZnO層101a～101zと、p型不純物であるNが所望濃度以上にドーピングされたZnTe層103a～103yとを交互に複数層積層する工程を含む。



【特許請求の範囲】

【請求項1】 基板上に、所望濃度までは不純物ドーピングされていないZnO層と、p型不純物であるNが所望濃度以上にドーピングされたZnTe層とを交互に複数層積層する工程を含むp型II-VI族化合物半導体結晶の成長方法。

【請求項2】 前記ZnTe層は、一層の厚さが臨界膜厚以下である請求項1記載のp型II-VI族化合物半導体結晶層の成長方法。

【請求項3】 前記ZnO層は、一層の厚さが2分子層以上である請求項1または2に記載のp型II-VI族化合物半導体結晶の成長方法。

【請求項4】 (a) 基板上に、Zn元素とO元素とを供給する工程と、

(b) 前記工程(a)の後、O元素の供給を停止する工程と、

(c) 前記工程(b)の後、Zn元素の供給を停止して基板上からZn元素のうち過剰な元素を脱離させる工程と、

(d) 前記工程(c)の後、さらにTe元素とN元素とを供給する工程と、

(e) 前記工程(d)の後、基板上へのTe元素とN元素との供給を停止して基板上の結晶成長を中断する工程とを含むp型II-VI族化合物半導体結晶の成長方法。

【請求項5】 さらに、(f)前記工程(e)の後、基板上にZn元素を供給する工程と、

(g)前記工程(f)の後、基板上にO元素を供給する工程とを含む請求項4記載のp型II-VI族化合物半導体結晶層の成長方法。

【請求項6】 基板上にZn元素を供給している状態で、

(a) O元素を供給して所望濃度までは不純物ドーピングされていないZnO層を成長する工程と、

(b)前記工程(a)の後、O元素の供給を停止する工程と、

(c)前記工程(b)の後、Te元素とN元素とを供給してNがドーピングされたZnTe層を成長する工程とを含むp型II-VI族化合物半導体結晶層の成長方法。

【請求項7】 基板上に、ZnO層とZnTe層とが交互に積層された積層構造であって、少なくとも前記ZnTe層にはNがドーピングされているp型II-VI族化合物半導体結晶。

【請求項8】 前記ZnO層には、前記ZnTe層にドーピングされているN濃度よりも低い濃度のNがドーピングされている請求項7記載のp型II-VI族化合物半導体結晶。

【請求項9】 さらに前記積層構造と、前記基板との間に低温成長されたZnO層を含む請求項7または8に記

載のp型II-VI族化合物半導体結晶。

【請求項10】 請求項7から9までのいずれかに記載のp型II-VI族化合物半導体結晶とn型II-VI族化合物半導体結晶とのp-n接合構造を有するII-VI族化合物半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、p型II-VI族化合物半導体結晶、その成長方法及びそれを用いた半導体装置に関するものである。

【0002】

【従来の技術】元素半導体(Si、Ge)およびGaAsのようなII-V族半導体の大部分は、ドナー不純物又はアクセプター不純物を添加することにより、n型又はp型の半導体を形成することができる。

【0003】n型及びp型の両方の半導体を形成することが可能な性質を両極性と呼ぶ。II-V族半導体を用いることにより、同一基板上にp型半導体とn型半導体とを形成することができる。II-V族半導体を用いて、p-n接合を含むLED(Light Emitting Diode)等の半導体素子を製造することができる。

【0004】

【発明が解決しようとする課題】禁制帯幅(バンドギャップ: Eg)は、結晶に固有の値である。

【0005】一般的には、発光波長入は、次に示す式で表される。

$$[\text{0006}] \lambda = 1240/Eg$$

ここで、入は発光波長(nm)、Egは半導体の禁制帯幅(eV)である。

【0007】Egの値が、結晶からのバンド間発光の波長、すなわち発光色を決める。II-V族半導体のうち、比較的狭いEgを有するGaAsでは、その禁制帯幅Egは、1.43 eVである。GaAsの発光波長は、870 nmであり、赤外領域の発光を示す。II-V族半導体のうち、比較的広いEgを有するAlPでは、Egは、2.43 eVである。AlPの発光波長は、510 nmであり、緑色の発光を示す。

【0008】大部分のII-VI族半導体は、II-V族半導体と比較してEgが大きい。青色から青紫色、紫外領域の発光が期待される。

【0009】II-VI族化合物は、一般的にイオン性が強く、単極性である。すなわち、II-VI族化合物の結晶は、一般的に、n型又はp型のいずれか一方の導電性しか持たず、両方の導電特性を持つことが少ない。

【0010】このような単極性の振る舞いは、自己補償効果によって説明することができる。

【0011】例えば、II-VI族化合物の結晶であるZnSにおいては、寸法の小さいS陰イオン空孔は、寸法の大きいZn陽イオン空孔よりも結合エネルギーが小

さい。Zn陽イオン空孔がp型不純物を補償する効果が大きく、p型のZnSを得ることは困難である。自己補償効果は、II-VI族化合物の種類によって異なるが、p型のZnOが得にくいという現象に関しても、上記のZnSの場合と同様に説明することが可能である。p型のZnO結晶を容易に得ることができれば、ZnOを用いた種々の半導体デバイスを作製することができる。

【0012】本発明の目的は、p型のII-VI族化合物半導体結晶、より詳細にはp型ZnO結晶の成長方法を提供することである。

【0013】本発明の他の目的は、II-VI族化合物半導体結晶、より詳細にはp型ZnO結晶及びそれを用いた素子を提供することである。

【0014】なお、ZnOを主要構成要素とし、ZnTeを添加構成要素として含む材料も、本明細書においてZnOと略記する。

【0015】

【課題を解決するための手段】本発明の一観点によれば、基板上に、所望濃度までは不純物ドーピングされていないZnO層と、p型不純物であるNが所望濃度以上にドーピングされたZnTe層とを交互に複数層積層する工程を含むp型II-VI族化合物半導体結晶の成長方法が提供される。

【0016】

【発明の実施の形態】以下図面を参照して本発明の実施の形態を説明する。

【0017】図1から図3までを参照して、本発明の第一の実施の形態によるII-VI族化合物半導体結晶の成長方法を説明する。

【0018】図1にII-VI族化合物半導体結晶の成長装置の一例として、分子線エピタクシー(MBE)法を用いた結晶成長装置(以下「MBE装置」という。)を示す。

【0019】MBE装置Aは、結晶成長が行われるチャンバ1と、チャンバ1を超高真空状態に保つ真空ポンプPとを含む。

【0020】チャンバ1は、Znを蒸発させるためのZn用ポート11と、Teを蒸発させるためのTe用ポート21と、Oラジカルを照射するためのOラジカルポート31と、Nラジカルを照射するためのNラジカルポート41とを含む。

【0021】Zn用ポート11は、Zn(純度7N)原料15を収容するとともに加熱・蒸発させるクヌーセンセル(Knudsen cell: 以下Kセルと呼ぶ。)17とシャッターS1とを備えている。

【0022】Te用ポート21は、Te(純度6N)原料25を収容するとともに加熱蒸発させるKセル27とシャッターS2とを備えている。

【0023】Oラジカルポート31は、無電極放電管内

に原料ガスである酸素ガスを導入し、高周波(13.56MHz)を用いて生成したOラジカルを、MBEチャンバ1内に噴出する。Oラジカルのビームに対してもシャッターS3が設けられている。

【0024】Nラジカルポート41は、無電極放電管内に原料ガスである窒素ガスを導入し、高周波(13.56MHz)を用いて生成したNラジカルを、MBEチャンバ1内に噴出する。Nラジカルのビームに対してもシャッターS4が設けられている。

【0025】チャンバ1内には、結晶成長の下地となる基板Sを保持する基板ホルダー3と、基板ホルダー3を加熱するためのヒータ3aとが設けられている。基板Sの温度は熱電対5によって測定可能である。基板ホルダー3の位置は、ペローズを用いたマニュピュレータ7によって移動可能である。

【0026】チャンバ1は、成長した結晶層をモニタリングするために設けられた、RHEEDガン51とRHEEDスクリーン55とを含む。RHEEDガン51とRHEEDスクリーン55とを用いて、MBE装置A内での結晶成長の様子(成長量、成長した結晶層の質)をモニタリングしながら成長を行うことができる。

【0027】結晶成長の温度、結晶成長膜の厚さ、チャンバ内の真空度等は、制御装置Cによって適宜制御される。

【0028】以下に、ZnO基板上に、p型のZnOを成長する工程について、詳細に説明する。

【0029】結晶成長は全てMBE法により行う。

【0030】Znのビーム量は、 1.5×10^{-7} Torrであり、Teのビーム量は 4.5×10^{-7} Torrである。

【0031】酸素ビームの供給源としては、OのRFプラズマソースが用いられる。Oラジカルポート31に純酸素(純度6N)ガスを導入し、高周波発振源を用いてラジカル化する。

【0032】窒素ビームの供給源としては、NのRFプラズマソースが用いられる。Nラジカルポート41に純窒素(純度6N)ガスを導入し、高周波発振源を用いてラジカル化する。

【0033】ガスソースである酸素、窒素のポート31、41内の圧力は、各々、酸素(流量2ccm)が 8×10^{-5} Torr、窒素(流量0.03ccm)が 2×10^{-6} Torrである。成長温度は600°Cである。

【0034】ここで、上記の圧力の値は、基板ホルダー位置(成長位置)に取り付けたヌードイオンゲージの指示値を示したものである。

【0035】また、上記のガスソースの流量としては、ccmの単位を用いたが、これは、周知のように25°C、1気圧での流量を示したものである。

【0036】図2に、本実施の形態により成長されるp型ZnO結晶の断面図を示す。ZnO基板100上に、

アンドープのZnO層とNドープのZnTe層との超格子層105を成長する。

【0037】超格子層105は、ZnO層101a、101b、…101zと、ZnTe層103a、103b、…103zとの交互積層で形成される。ZnO層101a、101b、…101zの各々は、たとえば10分子層であり、ZnTe層103a、103b、…103zの各々は、たとえば1分子層である。なお、ZnO基板100上に、まずZnOバッファ層を形成し、その上に超格子層105を成長してもよい。超格子層105の総厚は、たとえば100nm程度である。

【0038】図3は、図2に示したZnO結晶を成長するための2通りの成長プロセス((a)及び(b))を、シャッターS₁からS₄の開閉シーケンスにより示したものである。

【0039】図3(a)は、2通りのうちの第1の成長プロセスを示すものである。時間t₁に、ZnのシャッターS₁とOのシャッターS₃を開く。Zn元素とO元素とが基板100表面上に飛来し、ZnO結晶層が成長する。Zn供給量、O供給量等の成長パラメータを制御することによりZnO結晶が分子層単位で成長する。

【0040】なお、本明細書で1分子層とは、Znの1原子層とOの1原子層とで構成される結晶単位を意味する。10分子層の結晶が成長するまでシャッターS₁、S₃を開く。

【0041】時間t₂においてOのシャッターS₃を閉じて、時間t₃までの間、Znのみを供給する。Zn供給の結果、アンドープのZnO層101a最表面にZnの終端面が形成される。過剰のZnを脱離するために、t₃からt₄までの間、全てのシャッターを閉じる。時間t₄において、TeのシャッターS₂とNのシャッターS₄を開にして、Znの終端面上にTeとNとを供給する。Zn終端面とTe、Nが結合することにより、NがドーピングされたZnTe層が1分子層成長する。

【0042】尚、時刻t₄で、ZnTe層のRHEEDパターンは、(2×1)でありTeリッチの状態を示す。

【0043】t₅からt₆までの間、全てのシャッターを閉じ、余分の原子を脱離、排気する。その後、再びZnのシャッターS₁を開け、ZnTeの終端面の修正を行う。Teリッチになっている表面を、Znリッチの表面に変える。これにより、表面のモホロジー及び極性の改善を行う。

【0044】次に、OのシャッターS₃を開にして(t₇)、再び、ZnOを成長する。この状態は、時刻t₁の状態と同等である。以上の工程を30回繰り返す。

【0045】以上の工程を経ることにより、図2に示すp型ZnO結晶が成長できる。

【0046】図3(b)には、第二の成長プロセスを示す。成長プロセスの概略を以下に示す。

【0047】ZnのシャッターS₁を開き、基板上にZn元素を継続的に供給した状態にする。時間t₂でOのシャッターS₃を開き、O元素を供給して所望濃度までは不純物ドーピングされていないZnO元素を成長する。

【0048】次いで、時間t₃でOのシャッターS₃を閉じてO元素の供給を停止した後、時間t₄でTeのシャッターS₂とNのシャッターS₄を開き、Te元素とN元素とを供給してNがドーピングされたZnTe層を成長する。

【0049】時間t₅からt₆までの間、シャッターS₃とS₄を閉じ、ZnTeの終端面の修正を行う。

【0050】次に、OのシャッターS₃を開にして(t₇)、再び、ZnOを成長する。この状態は、時刻t₁の状態と同等である。以上の工程を30回繰り返す。

【0051】尚、上記の工程と同じく、ZnOバッファ層101を設ける場合には、予め基板100上にZnとOとを供給し、所望厚のZnO層を成長した後、上記のプロセスを行う。

【0052】以上の2工程のいずれかを経た後には、ZnOが10分子層に対してZnTeが1分子層の割合で積層される。積層された超格子層のバンドギャップはZnOとほぼ同じである。ZnTeは、Nを不純物としてドーピングすることでp型の導電性を示す。NドープのZnTe層からZnO層へのNの不純物拡散およびホールの移動がZnO層10分子層にわたって生じる。

【0053】このようにして成長したZnO/ZnTe超格子層は、全体としてp型の導電層としての性質を示す。

【0054】ZnTeの厚さは1分子層にとどめた。臨界膜厚以下の厚さであり、成長層中で発生する歪を小さく抑えることができる。成長層の表面モホロジーを良好ににすることができる。

【0055】ZnTeへのNの流量を、上記の成長条件において0.05ccm以下にすると、ZnTe中へのNのドーピング量は、 $1 \times 10^{20} \text{ cm}^{-3}$ 以下に抑えられる。

【0056】好ましくは、拡散等によりZnOにドーピングされているN濃度は、ZnTeにドーピングされているNのドーピング濃度よりも低く抑えられる。

【0057】図4に、本発明の第二の実施の形態によるZnO/ZnTe超格子を用いたp型半導体の断面構造を示す。

【0058】サファイヤ基板201の上に300°Cから500°Cの範囲、例えば400°Cの低温でZnO層211を厚さ30から100nmの間、例えば、50nm成長する。この低温成長されたZnO層211は当初はば

アモルファス状態である。その後、基板を徐々に加熱する。加熱により結晶化が進行し、低温成長ZnO層がエピタキシャルZnO層に変化する。

【0059】次いで、第一の実施の形態において説明した成長方法と同様の成長方法で、ZnOとZnTe(N)との超格子層225を総厚として100nm成長する。

【0060】図4に示す結晶構造においては、サファイア基板201上に低温成長ZnO層211を介してZnO層201a、201b、…201zとZnTe(N)層203a、203b、…203yとの交互積層で形成された超格子層225を成長している。

【0061】サファイア基板201と超格子層225との間に、低温成長ZnO層211が介在するため、サファイア基板201と超格子層225との間の格子定数の差に起因する歪の影響が緩和される。表面モロジーが良好となる。

【0062】上述のII-VI族化合物成長方法によれば、結晶性が良好で電気的抵抗の小さいp型ZnO結晶を成長することができる。

【0063】図5は、上記第二の実施の形態によるZnO/NドープのZnTeからなる超格子をp型半導体として用い、GaドープのZnOをn型半導体として用いたp-n接合ダーオードを含むLED (Light Emitting Diode) の構造を示す断面図である。

【0064】図5に示すように、LEDは、サファイア基板301と、その上に低温成長された厚さ100nmのノンドープのZnOバッファ層305と、その上に成長され厚さ100nmのn型(Gaドープ: $1 \times 10^{18} \text{ cm}^{-3}$) ZnO層311と、その上に形成された30層のZnOとZnTe(N)とが交互に積層された超格子層315(総厚として約100nm)とを含む。

【0065】n型ZnO層311は、第1電極321とコンタクトされている。

【0066】n型ZnO層を形成するためには、Gaの代わりにAlなどの他の3族元素をドーピングしても良い。

【0067】超格子層315は島状に加工されている。島状に加工された超格子層315は、例えばSiNからなる絶縁膜318によりその外側部が被覆される。絶縁膜318のうち超格子層315の上部表面には、例えば略円形の開口が形成される。島状に加工された超格子層315のうち少なくともその側面が絶縁膜318により被覆保護される。

【0068】超格子層315の周辺部には、開口を有する例えばリング状の第2電極325が形成される。リング状の第2電極は、その内周側の下面が超格子層315の上部表面の周辺部と接触する。第2電極のうちその外周部は、絶縁膜318上に乗り上げた構造となつて

る。

【0069】上記構造において、第1電極321に対し第2電極にプラスの電圧を印加すると、p-n接合に順方向電流が流れる。p型超格子層315中に注入された少数キャリア(電子)とp型超格子層315中の多数キャリア(正孔)とが発光性再結合する。電子と正孔との再結合の際に、ほぼ禁制帯のエネルギーギャップに等しいエネルギーを有する光が前記開口から発する。すなわち、電気的エネルギーを光のエネルギーに変換する。

【0070】上記の動作により、LEDの開口から例えば約370nmの波長の光を発する。

【0071】尚、本実施の形態においては、ZnOとZnTe(N)とのp型超格子層315とn型ZnOとのp-n接合を利用して半導体素子の例としてLEDについて説明したが、p型超格子層315とn型ZnOとを組み合わせてレーザー素子を形成することも可能である。その他、p型超格子層315と組み合わせて、FETやバイポーラトランジスタ等の電子デバイスや、他の光デバイス及びこれらを組み合わせた半導体装置を製造することも可能であることは言うまでもない。

【0072】以上、実施の形態に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、超格子層の構成薄層の厚さは所望の特性を満足する範囲で任意に変更することができる。ガス供給シーケンスも上述のものに制限されない。成長条件その他のプロセスパラメータも種々選択することができる。その他、種々の変更、改良、組み合わせ等が可能なことは当業者には自明であろう。

【0073】

【発明の効果】結晶性が良好で電気的抵抗の小さいp型ZnOを成長することができる。

【図面の簡単な説明】

【図1】 本発明の第一の実施の形態による結晶成長方法に用いるMBE装置の概略を示す断面図である。

【図2】 本発明の第一の実施の形態による結晶成長方法により成長されたZnO/NドープのZnTe超格子構造を示す。

【図3】 (a) 及び (b) は、本発明の第一の実施の形態による結晶成長方法のシャッター制御シーケンスを示すタイミングチャートである。

【図4】 本発明の第二の実施の形態による結晶成長方法により成長されたZnO/NドープのZnTe超格子の構造を示す断面図である。

【図5】 本発明の第二の実施の形態による結晶成長方法により成長されたZnO/NドープのZnTe超格子をp型半導体として用いたp-n接合ダーオードを含むLED装置の構造を示す断面図である。

【符号の説明】

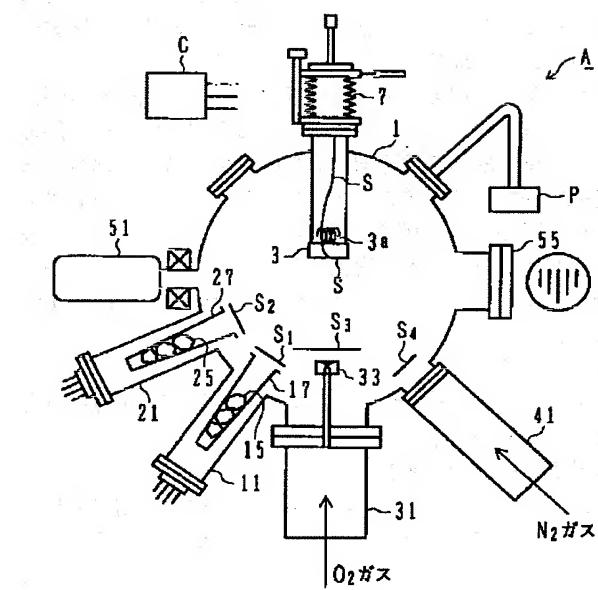
A MBE装置

P 真空ポンプ

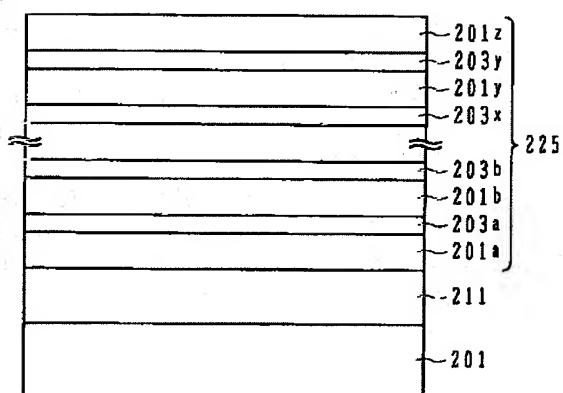
S 基板
 S₁～S₄ シャッター
 1 チャンバー
 3 基板ホルダー
 3a ヒータ
 5 熱電対
 7 マニピュレータ
 11 Zn用ポート
 15 Zn原料
 17 クヌーセンセル
 21 Te用ポート
 25 Te原料
 31 Oラジカルポート
 41 Nラジカルポート
 100 ZnO基板

101a～101z ZnO層
 103a～103y ZnTe層
 105 超格子層
 201 サファイヤ層
 211 低温成長ZnO層
 201a～201z ZnO層
 203a～203y ZnTe層
 225 超格子層
 301 サファイヤ層
 305 低温成長ZnO層
 311 n型ZnO層
 315 超格子層
 318 絶縁膜
 321 第1電極
 325 第2電極

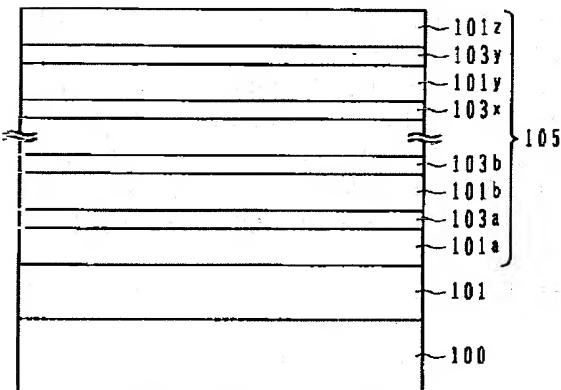
【図1】



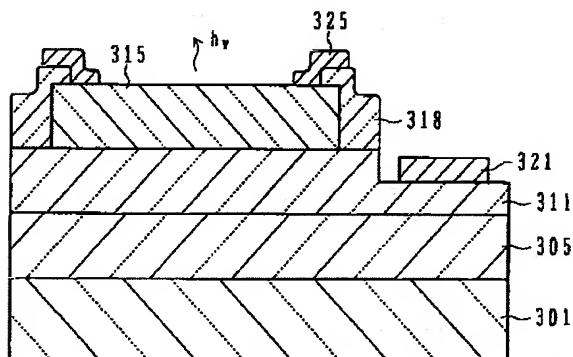
【図4】



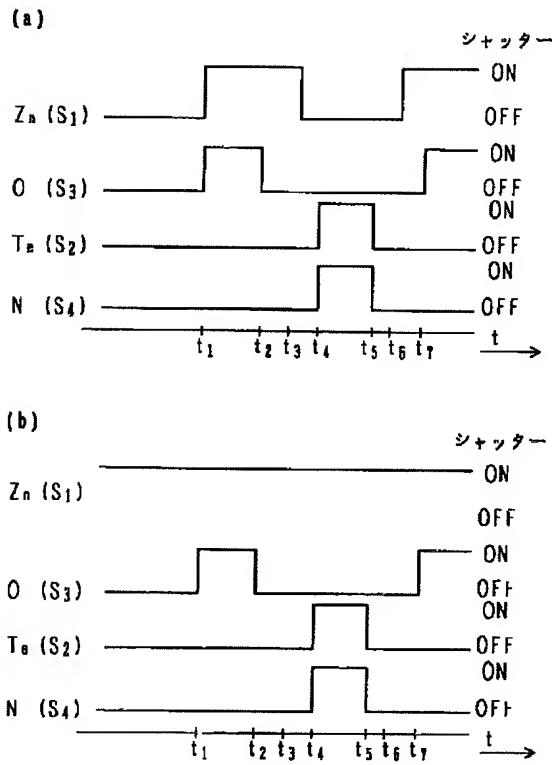
【図2】



【図5】



【図3】



【手続補正書】

【提出日】平成12年4月17日(2000.4.17)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

【補正内容】

【0047】 Zn のシャッター S_1 を開き、基板上に Zn 元素を継続的に供給した状態にする。時間 t_1 で O のシャッター S_3 を開き、 O 元素を供給して所望濃度までは不純物ドーピングされていない ZnO 元素を成長する。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】変更

【補正内容】

【0048】次いで、時間 t_2 で O のシャッター S_3 を閉じて O 元素の供給を停止した後、時間 t_4 で Te のシャッター S_2 と N のシャッター S_4 を開き、 Te 元素と N 元素とを供給して N がドーピングされた $ZnTe$ 層を成長する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正内容】

【0049】時間 t_5 から t_7 までの間、シャッター S_2 、 S_3 および S_4 を閉じ、 $ZnTe$ の終端面の修正を行う。

フロントページの続き

(72)発明者 八百 隆文

宮城県仙台市青葉区片平二丁目1番1号

東北大学 金属材料研究所内

!(8) 000-332296 (P2000-332296A)

Fターム(参考) 4G077 AA03 BB07 BE35 DA05 EB01
EB03 ED06 EF04 HA06
5F041 AA31 CA05 CA41 CA46 CA49
CA55 CA57 CA66
5F103 AA04 DD30 HH04 JJ01 KK10
LL02 LL16 NN03